

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 3 年    4 月 2 5 日  
Date of Application:

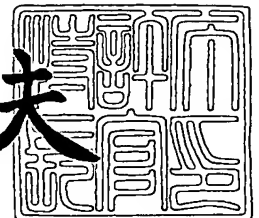
出 願 番 号                      特 願 2 0 0 3 - 1 2 1 1 6 3  
Application Number:  
[ST. 10/C]:                      [ J P 2 0 0 3 - 1 2 1 1 6 3 ]

出      願      人                      パイオニア株式会社  
Applicant(s):

2 0 0 3 年 1 2 月 2 6 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫





【書類名】 特許願

【整理番号】 57P0664

【提出日】 平成15年 4月25日

【あて先】 特許庁長官殿

【国際特許分類】 H03M 3/00

【発明の名称】 P W M信号発生器及びP W M信号発生方法並びにデジタル・アナログ変換器及びデジタルアンプ

【発明者】

    【住所又は居所】 埼玉県鶴ヶ島市富士見 6 丁目 1 番 1 号 パイオニア株式会社 総合研究所内

    【氏名】 駒村 光弥

【特許出願人】

    【識別番号】 000005016

    【氏名又は名称】 パイオニア株式会社

【代理人】

    【識別番号】 100079119

    【弁理士】

    【氏名又は名称】 藤村 元彦

【手数料の表示】

    【予納台帳番号】 016469

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

    【包括委任状番号】 9006557

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 PWM信号発生器及びPWM信号発生方法並びにデジタル・アナログ変換器及びデジタルアンプ

【特許請求の範囲】

【請求項1】 パルス符号変調のデジタル信号が示す値に対応したパルス幅又は合計パルス幅を有し所定長の半分の位置を中心にして対称な位置関係の1つ又は2つのパルスを第1パルス幅変調信号として発生する信号発生手段を備えたPWM信号発生器であって、

前記信号発生手段は、前記デジタル信号が示す値に応じて第1パルスと第2パルスとを発生するPCM-PWM変換器と、前記第1パルスと前記第2パルスとのパルス幅の差分を前記第1パルス幅変調信号として出力する差分検出器と、からなり、

前記デジタル信号が示す値が0であるとき前記第1パルスと前記第2パルスのパルス幅は等しく、前記デジタル信号が示す値が1だけ変化すると前記第1及び第2パルスの一方のパルスのパルス幅は変化せず、前記第1及び第2パルスの他方のパルスのパルス幅が2スロットだけ変化することを特徴とするPWM信号発生器。

【請求項2】 前記デジタル信号が示す値が奇数であることを検出する奇数検出手段を更に備え、

前記信号発生手段は、前記デジタル信号が示す値が奇数のときには前記第1パルス幅変調信号と、その奇数値に対応した合計パルス幅を有し前記所定長の1/4及び3/4の位置を中心にして前記第1パルス幅変調信号の1つのパルス又は2つのパルスと対称な位置関係の2つのパルスを示す第2パルス幅変調信号とを交互に発生することを特徴とする請求項1に記載のPWM信号発生器。

【請求項3】 前記第1及び第2パルスのスロット数をslot、前記デジタル信号をオフセットした値をpcmofst、整数化演算をint、前記第1及び第2パルスの前端位置のスロット値をLE、後端位置のスロット値をTEとすると、

前記第1パルス幅変調信号発生時の前記第1パルスの前端位置のスロット値LE及び後端位置のスロット値TEは

$$LE = \text{slot} / 2 - (\text{int})(\text{pcmofst} / 2)$$

$$TE = \text{slot} / 2 + (\text{int})(\text{pcmofst} / 2)$$

となり、前記第 1 パルス幅変調信号発生時の前記第 2 パルスの前端位置のロット値  $LE$  及び後端位置のロット値  $TE$  は

$$LE = (\text{int})((\text{pcmofst} + 1) / 2)$$

$$TE = \text{slot} - (\text{int})((\text{pcmofst} + 1) / 2)$$

となり、

前記第 2 パルス幅変調信号発生時の前記第 1 パルスの前端位置のロット値  $LE$  及び後端位置のロット値  $TE$  は

$$LE = \text{slot} / 2 - (\text{int})((\text{pcmofst} + 1) / 2)$$

$$TE = \text{slot} / 2 + (\text{int})((\text{pcmofst} + 1) / 2)$$

となり、前記第 2 パルス幅変調信号発生時の前記第 2 パルスの前端位置のロット値  $LE$  及び後端位置のロット値  $TE$  は

$$LE = (\text{int})((\text{pcmofst} - 1) / 2)$$

$$TE = \text{slot} - (\text{int})((\text{pcmofst} - 1) / 2)$$

となることを特徴とする請求項 1 又は 2 に記載の PWM 信号発生器。

【請求項 4】 前記奇数検出手段は、前記デジタル信号の最下位ビットの数値に応じて奇数又は偶数の判別を行うことを特徴とする請求項 2 に記載の PWM 信号発生器。

【請求項 5】 前記信号発生手段は、前記第 1 パルス幅変調信号を発生する第 1 信号発生手段と、前記第 2 パルス幅変調信号を発生する第 2 信号発生手段と、前記デジタル信号が示す値が偶数のときには前記第 1 パルス幅変調信号を出力し、前記デジタル信号が示す値が奇数のときには前記第 1 パルス幅変調信号と前記第 2 パルス幅変調信号とを交互に出力する選択手段と、からなることを特徴とする請求項 2 に記載の PWM 信号発生器。

【請求項 6】 パルス符号変調のデジタル信号が示す値に対応したパルス幅又は合計パルス幅を有し所定長の半分の位置を中心にして対称な位置関係の 1 つ又は 2 つのパルスを第 1 パルス幅変調信号として発生する PWM 信号発生方法あって、

前記デジタル信号が示す値に応じて第1パルスと第2パルスとを発生し、  
前記第1パルスと前記第2パルスとのパルス幅の差分を前記第1パルス幅変調信号として出力し、

前記デジタル信号が示す値が0であるとき前記第1パルスと前記第2パルスのパルス幅は等しく、前記デジタル信号が示す値が1だけ変化すると前記第1及び第2パルスの一方のパルスのパルス幅は変化せず、前記第1及び第2パルスの他方のパルスのパルス幅が2スロットだけ変化することを特徴とするPWM信号発生方法。

【請求項7】 パルス符号変調のデジタル信号が示す値に対応したパルス幅又は合計パルス幅を有し所定長の半分の位置を中心にして対称な位置関係の1つ又は2つのパルスを第1パルス幅変調信号として発生するPWM信号発生方法あって、

前記デジタル信号が示す値が0であるとき前記第1パルスと前記第2パルスのパルス幅は等しく、前記デジタル信号が示す値が1だけ変化すると前記第1及び第2パルスの一方のパルスのパルス幅は変化せず、前記第1及び第2パルスの他方のパルスのパルス幅が2スロットだけ変化し、

前記デジタル信号が示す値が奇数であることを検出し、

前記デジタル信号が示す値が奇数のときには前記第1パルス幅変調信号と、その奇数値に対応した合計パルス幅を有し前記所定長の $1/4$ 及び $3/4$ の位置を中心にして前記第1パルス幅変調信号の1つのパルス又は2つのパルスと対称な位置関係の2つのパルスを示す第2パルス幅変調信号とを交互に発生することを特徴とするPWM信号発生方法。

【請求項8】 パルス符号変調の入力デジタル信号に対してオーバサンプリングを施すオーバサンプリング回路と、

前記オーバサンプリング回路の出力デジタル信号の量子化ビット数を削減するデルタシグマ変調器と、

前記デルタシグマ変調器の出力デジタル信号が示す値に対応したパルス幅又は合計パルス幅を有し所定長の半分の位置を中心にして対称な位置関係の1つ又は2つのパルスを第1パルス幅変調信号として発生するPWM信号発生器と、

前記第1パルス幅変調信号の低域成分を出力する低域フィルタと、からなるデジタル・アナログ変換器であって、

前記PWM信号発生器は、前記デルタシグマ変調器の出力デジタル信号が示す値に応じて第1パルスと第2パルスとを発生するPCM-PWM変換器と、前記第1パルスと前記第2パルスとのパルス幅の差分を前記第1パルス幅変調信号として出力する差分検出器とからなり、

前記デルタシグマ変調器の出力デジタル信号が示す値が0であるとき前記第1パルスと前記第2パルスのパルス幅は等しく、前記デルタシグマ変調器の出力デジタル信号が示す値が1だけ変化すると前記第1及び第2パルスの一方のパルスのパルス幅は変化せず、前記第1及び第2パルスの他方のパルスのパルス幅が2スロットだけ変化することを特徴とするデジタル・アナログ変換器。

【請求項9】 パルス符号変調の入力デジタル信号に対してオーバサンプリングを施すオーバサンプリング回路と、

前記オーバサンプリング回路の出力デジタル信号が示す利得を変化させるデジタルボリュームと、

前記デジタルボリュームの出力デジタル信号の量子化ビット数を削減するデルタシグマ変調器と、

前記デルタシグマ変調器の出力デジタル信号が示す値に対応したパルス幅又は合計パルス幅を有し所定長の半分の位置を中心にして対称な位置関係の1つ又は2つのパルスを第1パルス幅変調信号として発生するPWM信号発生器と、

前記第1パルス幅変調信号の低域成分を出力する低域フィルタと、からなるデジタルアンプであって、

前記PWM信号発生器は、前記デルタシグマ変調器の出力デジタル信号が示す値に応じて第1パルスと第2パルスとを発生するPCM-PWM変換器と、前記第1パルスと前記第2パルスとのパルス幅の差分を前記第1パルス幅変調信号として出力する差分検出器とからなり、

前記デルタシグマ変調器の出力デジタル信号が示す値が0であるとき前記第1パルスと前記第2パルスのパルス幅は等しく、前記デルタシグマ変調器の出力デジタル信号が示す値が1だけ変化すると前記第1及び第2パルスの一方のパ

ルスのパルス幅は変化せず、前記第1及び第2パルスの他方のパルスのパルス幅が2スロットだけ変化することを特徴とするデジタルアンプ。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】

本発明は、パルス符号変調（PCM）のデジタル信号に応じてパルス幅変調（PWM）信号を発生するPWM信号発生器及びPWM信号発生方法並びにデジタル・アナログ変換器及びデジタルアンプに関する。

【0002】

【従来の技術】

図1は従来のPWM信号発生器を用いたデジタル・アナログ変換器の構成を示している。デジタル・アナログ変換器は、デジタルインターフェース1、オーバサンプリング回路2、デルタシグマ変調器3、PCM-PWM変換器4、差動増幅器5及び低域フィルタ6を備えている。

【0003】

図2は従来のPWM信号発生器を用いたデジタルアンプの構成を示している。このデジタルアンプは、デジタルインターフェース11、オーバサンプリング回路12、デジタルボリューム13、デルタシグマ変調器14、PCM-PWM変換器15、パワースイッチング回路16及び低域フィルタ17を備えている。

【0004】

図2のデジタルアンプでは、デジタルボリューム13が設けられ、図1に示したデジタル・アナログ変換器の差動増幅器5がパワースイッチング回路16に置き換えられている点だけが異なり、その他は同一であるので、図2のデジタルアンプについて次に説明する。

CDやDVD等のディスクから読み出されたデジタル信号はデジタルインターフェース11を介してデジタルアンプ内に取り込まれ、そのデジタル信号のサンプリング周波数はオーバサンプリング回路12によって引き上げられる。その後、デジタル信号の利得はデジタルボリューム13によって調整され

る。

#### 【0005】

デルタシグマ変調器 14 は例えば、図 3 に示すように、減算器 21、23、量子化器 22 及びフィルタ 24 からなるノイズシェーバによって構成され、利得調整されたデジタル信号の量子化ビット数を削減する。デルタシグマ変調器 14 では、減算器 23 から出力される量子化ノイズ  $N_q(z)$  がフィルタ 24 (伝達関数  $H(z)$ ) を介して入力側の減算器 21 にフィードバックされる。この結果、量子化ノイズのスペクトラムは  $N'_q(z) = [1 - H(z)]N_q(z)$  と変換される。フィルタ 24 の伝達関数  $H(z)$  を調整することにより図 4 (a) に示すように量子化ノイズを高周波数帯域にシフトしてオーディオ帯域の  $S/N$  比を確保することができる。なお、図 4 (b) は図 4 (a) の周波数スペクトルの拡大図である。

#### 【0006】

デルタシグマ変調器 14 の出力デジタル信号は PCM-PWM 変換器 15 によって 2 種類の PWM 信号に変換される。PWM 信号は PWM\_A と PWM\_B とからなり、パワースイッチング回路 16 に供給される。パワースイッチング回路 16 は PWM\_A 及び PWM\_B の PWM 信号を PWM\_A - PWM\_B の差成分からなる PWM 変調信号に変換する。パワースイッチング回路 16 は例えば、図 5 に示すような 4 つのスイッチ素子 SW1 ~ SW4 を有する Hブリッジスイッチング回路からなる。PWM\_A - PWM\_B の差信号は低域フィルタ 17 を介してスピーカ 18 に供給される。低域フィルタ 17 は PWM\_A - PWM\_B の差信号中の低域成分であるオーディオ帯域信号をスピーカ 18 に供給する。

#### 【0007】

しかしながら、デジタルの PWM は本質的に非線形処理であるため、信号成分に対して高周波歪みと混変調歪みとを、量子化ノイズ成分に対しては混変調歪みを発生させる。ノイズシェービングにより高域にシフトした量子化ノイズの混変調歪成分がオーディオ帯域に落ちてきてオーディオ帯域のノイズフロアを上昇させる。このため、デルタシグマ変調器の出力に比べて PWM 出力は高周波歪み特性と  $S/N$  比とが悪化する。

#### 【0008】



図6はシングルサイデッド(Single Sided) 2値PWM信号の生成方法を示している。PCM信号に応じたパルス幅を有するPWM信号PWM\_\_Aとそのノット信号であるPWM\_\_Bとが発生される。PWM信号PWM\_\_AとPWM\_\_Bとの差分PWM\_\_A - PWM\_\_BがPWM変調信号である。そのPWM変調信号の周波数スペクトルは図7に示すようになり、図4に示したデルタシグマ変調器の出力に比べて高調波歪みが発生し、ノイズフロアが上昇している。

#### 【0009】

高調波歪みを低減させノイズフロアを下げるための従来技術としては、シングルサイデッド3値PWM、或いはダブルサイデッド(Double sided) 3値PWMが知られている。シングルサイデッド3値PWM信号の生成方法は図8に示すように行われる。PCM信号に応じたパルス幅を有するPWM信号PWM\_\_Aとその2の補数信号であるPWM\_\_Bとが発生される。PWM信号PWM\_\_AとPWM\_\_Bとの差分PWM\_\_A - PWM\_\_BがPWM変調信号である。そのPWM変調信号の周波数スペクトルは図9に示すようになり、偶数次の高調波歪みがなくなり、ノイズフロアが減少している。

#### 【0010】

ダブルサイデッド3値PWM信号の生成方法は図10に示すように行われる。PCM信号に応じたパルス幅を有するPWM信号PWM\_\_Aとその2の補数信号であるPWM\_\_Bとが中心(この場合4)に対して対称となるように発生される。PWM信号PWM\_\_AとPWM\_\_Bとの差分PWM\_\_A - PWM\_\_Bが最終的なPWM出力信号である。そのPWM出力信号の周波数スペクトルは図11に示すようになり、奇数次の高調波歪みがなくなり、シングルサイデッド3値PWMに比べてノイズフロアが更に減少している。

#### 【0011】

#### 【発明が解決しようとする課題】

上記したように、高調波歪みを減らし、ノイズフロアを下げるためにシングルサイデッド3値PWMを用いた場合には、偶数次高調波歪みは原理的に除去することができる。しかしながら、奇数次高調波歪みは依然大きいという問題点があった。一方、ダブルサイデッド3値PWMの場合には、偶数次高調波歪みが

除去され、奇数次高調波歪みも小さくなり、ノイズフロアも低いという理想的な変調が行われる。しかしながら、奇数のPCM信号に対してもPWM\_AとPWM\_Bとを中心に対して対称になるように生成しなければならないので、シングルサイデッドPWMに比べてクロック周波数を2倍にする必要があり、構成が複雑になるという問題点があった。

#### 【0012】

そこで、本発明が解決しようとする課題には、上記の問題点が一例として挙げられ、クロック周波数を2倍にすることなく高調波歪み及びノイズフロアの双方を低減させることができるPWM信号発生器及び発生方法並びにデジタル・アナログ変換器及びデジタルアンプを提供することが本発明の目的である。

#### 【0013】

##### 【課題を解決するための手段】

本発明のPWM信号発生器は、パルス符号変調のデジタル信号が示す値に対応したパルス幅又は合計パルス幅を有し所定長の半分の位置を中心にして対称な位置関係の1つ又は2つのパルスを第1パルス幅変調信号として発生する信号発生手段を備えたPWM信号発生器であって、前記信号発生手段は、前記デジタル信号が示す値に応じて第1パルスと第2パルスとを発生するPCM-PWM変換器と、前記第1パルスと前記第2パルスとのパルス幅の差分を前記第1パルス幅変調信号として出力する差分検出器とからなり、前記デジタル信号が示す値が0であるとき前記第1パルスと前記第2パルスのパルス幅は等しく、前記デジタル信号が示す値が1だけ変化すると前記第1及び第2パルスの一方のパルスのパルス幅は変化せず、前記第1及び第2パルスの他方のパルスのパルス幅が2スロットだけ変化することを特徴としている。

#### 【0014】

本発明のPWM信号発生方法は、パルス符号変調のデジタル信号が示す値に対応したパルス幅又は合計パルス幅を有し所定長の半分の位置を中心にして対称な位置関係の1つ又は2つのパルスを第1パルス幅変調信号として発生するPWM信号発生方法であって、前記デジタル信号が示す値に応じて第1パルスと第2パルスとを発生し、前記第1パルスと前記第2パルスとのパルス幅の差分を前記

第1パルス幅変調信号として出力し、前記デジタル信号が示す値が0であるとき前記第1パルスと前記第2パルスのパルス幅は等しく、前記デジタル信号が示す値が1だけ変化すると前記第1及び第2パルスの一方のパルスのパルス幅は変化せず、前記第1及び第2パルスの他方のパルスのパルス幅が2スロットだけ変化することを特徴としている。

#### 【0015】

本発明のPWM信号発生方法は、パルス符号変調のデジタル信号が示す値に対応したパルス幅又は合計パルス幅を有し所定長の半分の位置を中心にして対称な位置関係の1つ又は2つのパルスを第1パルス幅変調信号として発生するPWM信号発生方法あって、前記デジタル信号が示す値が0であるとき前記第1パルスと前記第2パルスのパルス幅は等しく、前記デジタル信号が示す値が1だけ変化すると前記第1及び第2パルスの一方のパルスのパルス幅は変化せず、前記第1及び第2パルスの他方のパルスのパルス幅が2スロットだけ変化し、前記デジタル信号が示す値が奇数であることを検出し、前記デジタル信号が示す値が奇数のときには前記第1パルス幅変調信号と、その奇数値に対応した合計パルス幅を有し前記所定長の1/4及び3/4の位置を中心にして前記第1パルス幅変調信号の1つのパルス又は2つのパルスと対称な位置関係の2つのパルスを示す第2パルス幅変調信号とを交互に発生することを特徴としている。

#### 【0016】

本発明のデジタル・アナログ変換器は、パルス符号変調の入力デジタル信号に対してオーバーサンプリングを施すオーバーサンプリング回路と、前記オーバーサンプリング回路の出力デジタル信号の量子化ビット数を削減するデルタシグマ変調器と、前記デルタシグマ変調器の出力デジタル信号が示す値に対応したパルス幅又は合計パルス幅を有し所定長の半分の位置を中心にして対称な位置関係の1つ又は2つのパルスを第1パルス幅変調信号として発生するPWM信号発生器と、前記第1パルス幅変調信号の低域成分を出力する低域フィルタと、からなるデジタル・アナログ変換器であって、前記PWM信号発生器は、前記デルタシグマ変調器の出力デジタル信号が示す値に応じて第1パルスと第2パルスとを発生するPCM-PWM変換器と、前記第1パルスと前記第2パルスとのパル

ス幅の差分を前記第1パルス幅変調信号として出力する差分検出器とからなり、前記デルタシグマ変調器の出力デジタル信号が示す値が0であるとき前記第1パルスと前記第2パルスのパルス幅は等しく、前記デルタシグマ変調器の出力デジタル信号が示す値が1だけ変化すると前記第1及び第2パルスの一方のパルスのパルス幅は変化せず、前記第1及び第2パルスの他方のパルスのパルス幅が2スロットだけ変化することを特徴としている。

#### 【0017】

本発明のデジタルアンプは、パルス符号変調の入力デジタル信号に対してオーバサンプリングを施すオーバサンプリング回路と、前記オーバサンプリング回路の出力デジタル信号が示す利得を変化させるデジタルボリュームと、前記デジタルボリュームの出力デジタル信号の量子化ビット数を削減するデルタシグマ変調器と、前記デルタシグマ変調器の出力デジタル信号が示す値に対応したパルス幅又は合計パルス幅を有し所定長の半分の位置を中心にして対称な位置関係の1つ又は2つのパルスを第1パルス幅変調信号として発生するPWM信号発生器と、前記第1パルス幅変調信号の低域成分を出力する低域フィルタと、からなるデジタルアンプであって、前記PWM信号発生器は、前記デルタシグマ変調器の出力デジタル信号が示す値に応じて第1パルスと第2パルスとを発生するPCM-PWM変換器と、前記第1パルスと前記第2パルスとのパルス幅の差分を前記第1パルス幅変調信号として出力する差分検出器とからなり、前記デルタシグマ変調器の出力デジタル信号が示す値が0であるとき前記第1パルスと前記第2パルスのパルス幅は等しく、前記デルタシグマ変調器の出力デジタル信号が示す値が1だけ変化すると前記第1及び第2パルスの一方のパルスのパルス幅は変化せず、前記第1及び第2パルスの他方のパルスのパルス幅が2スロットだけ変化することを特徴としている。

#### 【0018】

##### 【発明の実施の形態】

以下、本発明の実施例を図面を参照しつつ詳細に説明する。

図12は本発明のPWM信号発生器の概略的構成を示している。PWM信号発生器はオフセット回路30、PCM-PWM変換器31、32、切替スイッチ3

3、差分検出器34及びコントローラ35を備えている。

【0019】

オフセット回路30はPCMの入力デジタル信号に対してオフセット分を加える。入力デジタル信号の量子化ビット数がBビットであるとする、スロット数slotは $2^B$ であり、デジタル信号pcmは $-2^{B-1}+1 \sim 2^{B-1}-1$ の範囲の値である。オフセット回路30によるオフセット分は $\text{slot}/2$ であり、オフセット回路30から出力されるデジタル信号pcmofstは $\text{pcm} + \text{slot}/2$ と表すことができる。

【0020】

PCM-PWM変換器31, 32はPCMのデジタル信号pcmofstに対してPWM信号PWM\_\_A(第1パルス)とPWM信号PWM\_\_B(第2パルス)とを発生する。PCM-PWM変換器31によって発生されるPWM信号PWM\_\_A及びPWM\_\_BをX系列とし、PCM-PWM変換器32によって発生されるPWM信号PWM\_\_A及びPWM\_\_BをY系列とする。

【0021】

ここで、図13に示すようにPWM信号PWM\_\_A及びPWM\_\_B各々のパルスの前端位置のスロット値をLEとし、後端位置のスロット値をTEとする。

X系列のPCM-PWM変換器31においてPWM信号PWM\_\_AのLE及びTEは、

$$LE = \text{slot}/2 - (\text{int})(\text{pcmofst}/2)$$

$$TE = \text{slot}/2 + (\text{int})(\text{pcmofst}/2)$$

となり、PWM信号PWM\_\_BのLE及びTEは、

$$LE = (\text{int})((\text{pcmofst} + 1)/2)$$

$$TE = \text{slot} - (\text{int})((\text{pcmofst} + 1)/2)$$

となる。

【0022】

一方、Y系列のPCM-PWM変換器32においてPWM信号PWM\_\_AのLE及びTEは、

$$LE = \text{slot}/2 - (\text{int})((\text{pcmofst} + 1)/2)$$

$$TE = \text{slot} / 2 + (\text{int})((\text{pcmofst} + 1) / 2)$$

となり、PWM信号PWM\_\_BのLE及びTEは、

$$LE = (\text{int})((\text{pcmofst} - 1) / 2)$$

$$TE = \text{slot} - (\text{int})((\text{pcmofst} - 1) / 2)$$

となる。

#### 【0023】

切替スイッチ33は、PCM-PWM変換器31、32のいずれか一方からのPWM信号PWM\_\_A及びPWM\_\_Bを差分検出器34に供給する。切替スイッチ33はコントローラ35によって制御される。

差分検出器34は供給されたPWM信号PWM\_\_A及びPWM\_\_Bの差分PWM\_\_A-PWM\_\_Bを最終的なPWM信号として出力する。

#### 【0024】

コントローラ35は奇数検出手段として動作し、デジタル信号pcmofstが奇数及び偶数のいずれであるかを判別する。また、その判別結果に応じて切替スイッチ33の選択位置を制御する。具体的には、デジタル信号pcmofstの最下位ビット(LSB)が0のときにはデジタル信号pcmofstは偶数と判別し、最下位ビットが1のときにはデジタル信号pcmofstは奇数と判別する。デジタル信号pcmofstを偶数と判別したときには、X系列のPCM-PWM変換器31の出力側の選択を切替スイッチ33に指令し、デジタル信号pcmofstを奇数と判別したときには、Y系列のPCM-PWM変換器32の出力側の選択を切替スイッチ33に指令する。

#### 【0025】

かかる構成のPWM信号変換器の動作を図14のフローチャートに従って説明する。まず、スロット数slotが $2^B$ と設定され、更にフラグflagが0と設定される(ステップS1)。サンプリングタイミングに同期してPCMの入力デジタル信号が読み取られ(ステップS2)、オフセット回路30にてデジタル信号pcmofstは $\text{pcm} + \text{slot} / 2$ と設定される(ステップS3)。コントローラ35はデジタル信号pcmofstの最下位ビット(LSB)が1であるか否かを判別する(ステップS4)。最下位ビットが0であるならば、すなわちデジタル信号pcmo

fstが偶数であるならば、X系列の選択指令がコントローラ35から切替スイッチ33に対して発生される（ステップS5）。これにより、X系列のPCM-PWM変換器31の出力信号PWM\_\_A及びPWM\_\_Bが切替スイッチ33を介して差分検出器34に供給され、X系列のPCM-PWM変換器31の出力信号PWM\_\_A及びPWM\_\_Bに応じた最終的なPWM信号PWM\_\_A-PWM\_\_B（第1パルス幅変調信号）が差分検出器34から出力される。

#### 【0026】

コントローラ35はステップS4において最下位ビットが1であると判別したならば、フラグflagは0であるか否かを判別する（ステップS6）。flag=0ならば、ステップS5と同様にX系列の選択指令が発生される（ステップS7）。そして、フラグflagが1と設定される（ステップS8）。一方、ステップS6においてflag=1ならば、Y系列の選択指令がコントローラ35から発生される（ステップS9）。そして、フラグflagが0と設定される（ステップS10）。これにより、Y系列のPCM-PWM変換器32の出力信号PWM\_\_A及びPWM\_\_Bが切替スイッチ33を介して差分検出器34に供給され、Y系列のPCM-PWM変換器32の出力信号PWM\_\_A及びPWM\_\_Bに応じた最終的なPWM信号PWM\_\_A-PWM\_\_B（第2パルス幅変調信号）が差分検出器34から出力される。

#### 【0027】

ステップS5、S8又はS10の実行後はステップS2に戻って上記の動作が繰り返される。

よって、デジタル信号pcmofstが奇数の場合には、フラグflagは0と1とを交互に繰り返すので、X系列によるPWM信号PWM\_\_A-PWM\_\_B（第1パルス幅変調信号）とY系列によるPWM信号PWM\_\_A-PWM\_\_B（第2パルス幅変調信号）とが交互に出力される。

#### 【0028】

図15及び図16は3ビットデジタル信号値（4～-4）に対するX系列によるPWM信号PWM\_\_A、PWM\_\_B及びPWM\_\_A-PWM\_\_Bと、Y系列によるPWM信号PWM\_\_A、PWM\_\_B及びPWM\_\_A-PWM\_\_Bとの信号波

形を示している。デジタル信号値の取り得る範囲は3～-3であるが、説明を分かりやすくするために4及び-4についても示す。Y系列によるPWM信号PWM\_\_A, PWM\_\_及びPWM\_\_A-PWM\_\_Bは奇数(1, 3, -3, -1)のみが示されている。

#### 【0029】

図15及び図16においては、X系列では、PCMのデジタル信号が最大値が4であるときPWM信号PWM\_\_Aは最大幅の8スロットとなり、PWM信号PWM\_\_Bは最小幅の0スロットとなる。この状態からPCMのデジタル信号値が1だけ減って3になると、(X1) PWM信号PWM\_\_Aは4を中心にして対称となるように2スロットだけ減少して6スロット幅となる。すなわち、両端において1スロットが各々減らされる。一方、PWM信号PWM\_\_Bはそのままの値0を維持する。PCMのデジタル信号値が更に1減って2になると、(X2) PWM信号PWM\_\_Aはそのままの値を維持する。一方、PWM信号PWM\_\_Bは4を中心にして対称となるように2スロットだけ増加し、2スロット幅となる。以降、PCMのデジタル信号値が1だけ減る毎にこの動作(X1)と(X2)とが交互に行われる。

#### 【0030】

X系列のPWM\_\_A-PWM\_\_Bの信号波形は偶数のPCM信号値に対しては最大スロット数の1/4の位置及び3/4の位置に関して対称となるが、奇数のPCM信号値に対しては対称とならない。そこで、奇数のPCM信号値に対しては最大スロット数の1/4の位置及び3/4の位置に関してX系列のPWM\_\_A-PWM\_\_Bの信号波形を反転したY系列を発生する。

#### 【0031】

Y系列では、PCMのデジタル信号が4の状態から1だけ減って3となると、(Y1) PWM信号PWM\_\_Aはそのままの値を維持する。一方、PWM信号PWM\_\_Bは4を中心にして対称となるように2スロットだけ増加する。PCMのデジタル信号が3の状態から1だけ減って2となると、図示していないが、(Y2) PWM信号PWM\_\_Aは4を中心にして対称となるように2スロットだけ減少して6スロット幅となる。一方、PWM信号PWM\_\_Bはそのままの値2を維持す



る。以降、PCMのデジタル信号値が1だけ減る毎にこの動作(Y1)と(Y2)とが交互に行われる。

#### 【0032】

X系列によるPWM信号PWM\_\_A-PWM\_\_Bだけの周波数スペクトルは、例えば、図17に示すようになる。この図17のスペクトルからは、高調波歪みについてはダブルサイデッド3値PWMの場合と同等であるが、ノイズフロアについてはシングルサイデッド3値PWMの場合より高いことが分かる。

X系列によるPWM信号PWM\_\_A-PWM\_\_BとY系列によるPWM信号PWM\_\_A-PWM\_\_Bとが交互に差分検出器34から出力されるPWM出力信号の周波数スペクトルは、例えば、図18に示すようになり、高調波歪みについてはダブルサイデッド3値PWMの場合と同等であり、ノイズフロアについてはシングルサイデッド3値PWMの場合と同等である。

#### 【0033】

上記した本発明によるPWM信号発生器においては、PWM信号PWM\_\_A及びPWM\_\_Bが2スロット単位で増減するので、クロック周波数を2倍することなく、最大値のスロット幅の中心に対して対称なPWM信号を発生することができる。これにより、高調波歪みをダブルサイデッド3値PWMと同等のレベルまで低減させることができる。

#### 【0034】

また、奇数のデジタル信号に対してはX系列によるPWM信号PWM\_\_A-PWM\_\_BとY系列によるPWM信号PWM\_\_A-PWM\_\_Bとが交互に出力される。X系列とY系列とを交互に出力することにより、疑似的に最大スロット数の1/4の位置及び3/4の位置に関して対称なPWM\_\_A-PWM\_\_Bを出力したこととなり、ノイズフロアについては、シングルサイデッド3値PWMの場合と同等のレベルまで低減させることができる。

#### 【0035】

なお、上記したX系列とY系列との波形発生動作が逆に行われるようにしても良いことは勿論である。

また、上記した実施例においては、オフセット回路30、PCM-PWM変換

器 31、32、切替スイッチ 33、差分検出器 34 及びコントローラ 35 が備えられているが、これに限定されない。X 系列の PCM-PWM 変換器 31 と Y 系列の PCM-PWM 変換器 32 とを独立して備えるのではなく、単一の PCM-PWM 変換器とコントローラとで図 14 のフローチャートに示したように X 系列及び Y 系列の PWM 信号を生成することによって切替スイッチを省略しても良い。

#### 【0036】

更に、図 1 に示したデジタル・アナログ変換器や図 2 に示したデジタルアンプに本発明による PWM 信号発生器を適用することができる。

以上のように、本発明のパルス幅変調信号の発生によれば、前記デジタル信号が示す値が偶数であるパルス符号変調のデジタル信号が示す値に対応したパルス幅又は合計パルス幅を有し所定長の半分の位置を中心にして対称な位置関係の 1 つ又は 2 つのパルスを第 1 パルス幅変調信号として発生し、デジタル信号が示す値が奇数であるときには第 1 パルス幅変調信号と、その奇数値に対応した合計パルス幅を有し所定長の  $1/4$  及び  $3/4$  の位置を中心にして前記第 2 パルス幅変調信号の 1 つのパルス又は 2 つのパルスと対称な位置関係の 2 つのパルスを示す第 2 パルス幅変調信号とを交互に発生するので、クロック周波数を変更することなく高調波歪み及びノイズフロアの双方を低減させることができる。

#### 【図面の簡単な説明】

##### 【図 1】

デジタル・アナログ変換器の構成を示すブロック図である。

##### 【図 2】

デジタルアンプの構成を示すブロック図である。

##### 【図 3】

図 2 のアンプ内のデルタシグマ変調器の構成を示す図である。

##### 【図 4】

デルタシグマ変調器による周波数スペクトルを示す図である。

##### 【図 5】

図 2 のアンプ内のパワースイッチング回路の構成を示す図である。

**【図 6】**

シングルサイデッド 2 値の P W M 信号の生成方法を示す図である。

**【図 7】**

シングルサイデッド 2 値の P W M 信号の周波数スペクトルを示す図である。

**【図 8】**

シングルサイデッド 3 値の P W M 信号の生成方法を示す図である。

**【図 9】**

シングルサイデッド 3 値の P W M 信号の周波数スペクトルを示す図である。

**【図 10】**

ダブルサイデッド 3 値の P W M 信号の生成方法を示す図である。

**【図 11】**

ダブルサイデッド 3 値の P W M 信号の周波数スペクトルを示す図である。

**【図 12】**

本発明の実施例を示すブロック図である。

**【図 13】**

P W M 信号の前端位置と後端位置を示す図である。

**【図 14】**

図 12 の P W M 信号発生器の動作を示すフローチャートである。

**【図 15】**

図 12 の P W M 信号発生器の P W M 信号の生成方法を示す図である。

**【図 16】**

図 12 の P W M 信号発生器の P W M 信号の生成方法を示す図である。

**【図 17】**

X 系列だけの P W M 信号の周波数スペクトルを示す図である。

**【図 18】**

X 系列及び Y 系列による P W M 信号の周波数スペクトルを示す図である。

**【符号の説明】**

4, 15, 31, 32    P C M - P W M 変換器

5, 34    差分検出器

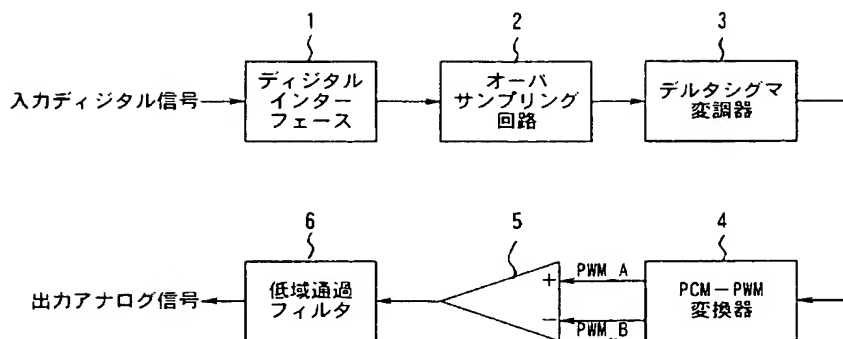
3 0 オフセット回路

3 3 切替スイッチ

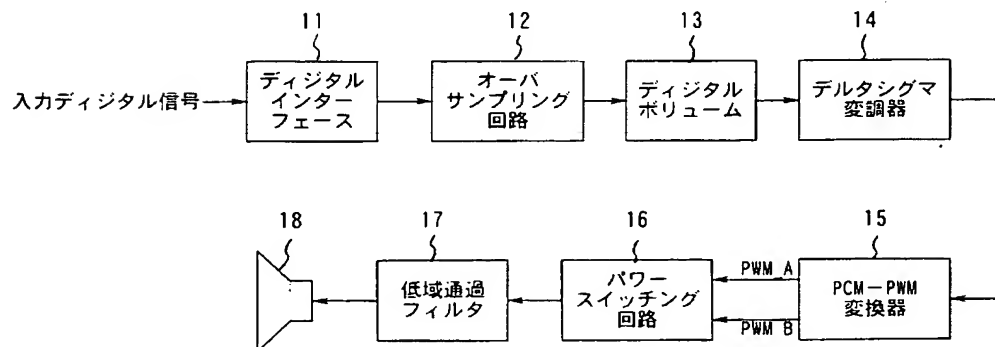
3 5 コントローラ

## 【書類名】 図面

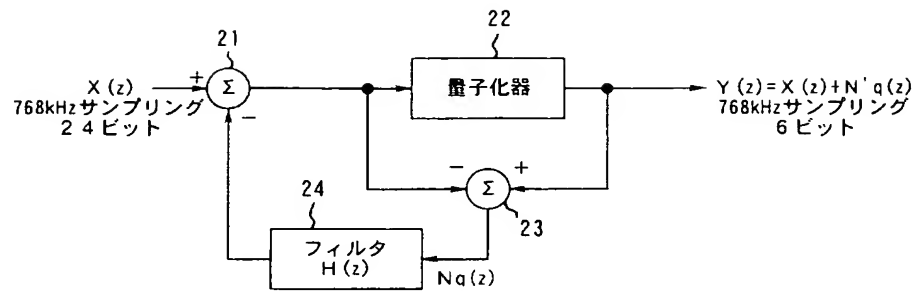
【図 1】



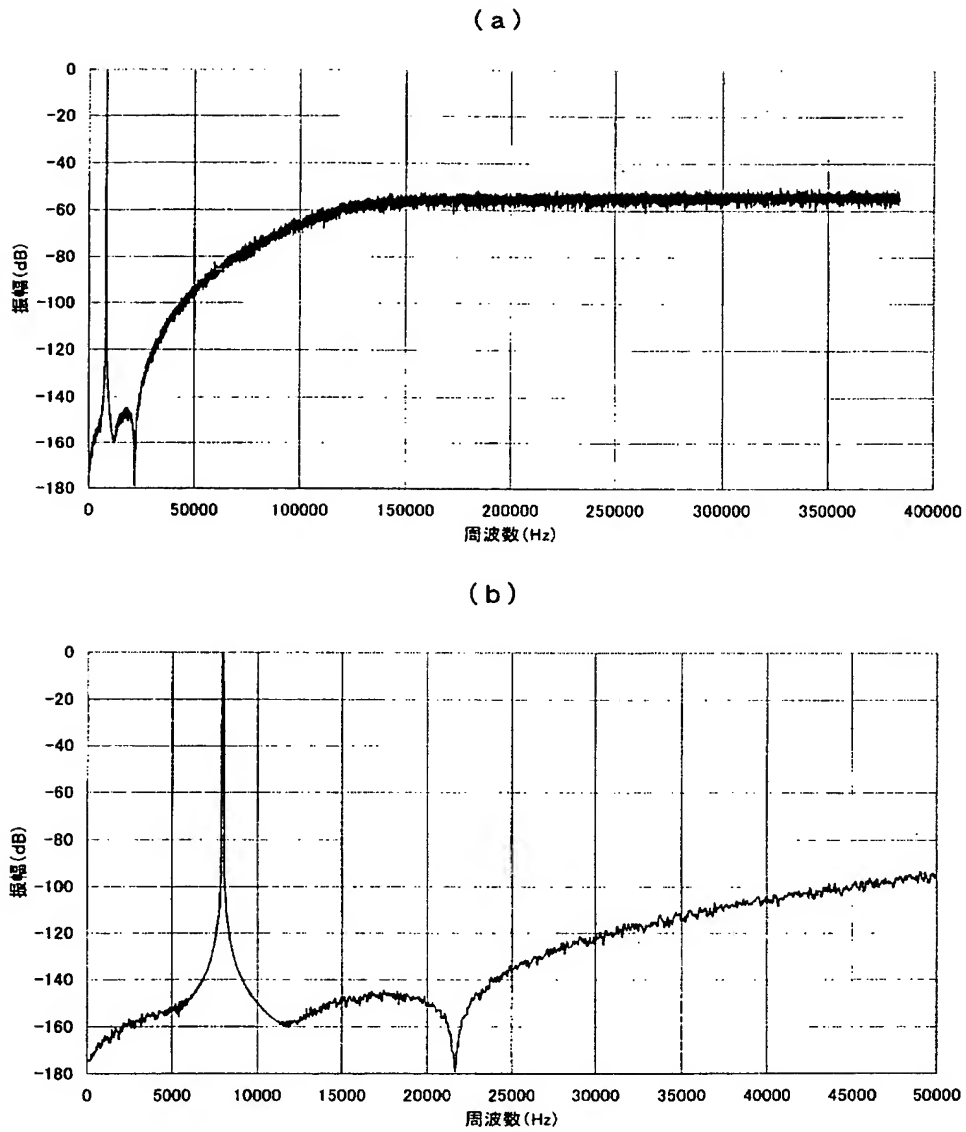
【図 2】



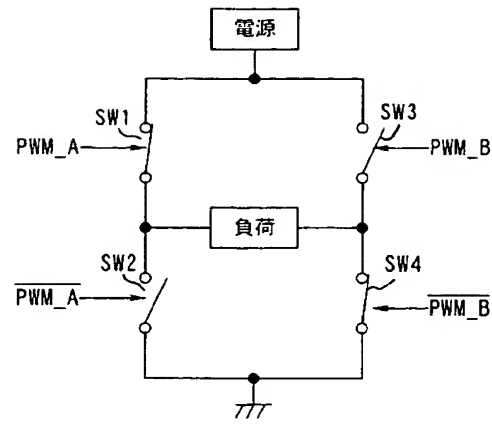
【図 3】



【図 4】

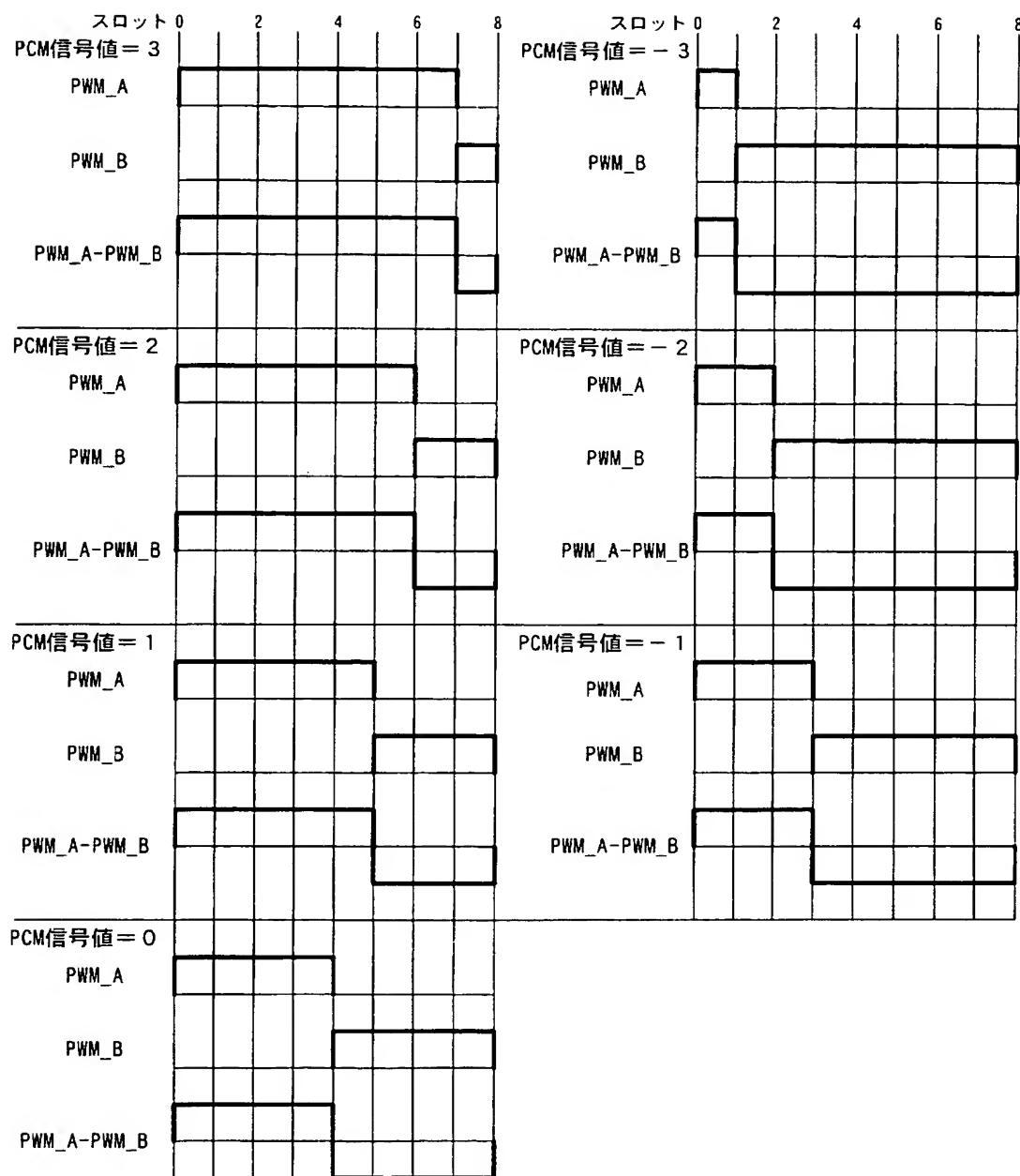


【図 5】

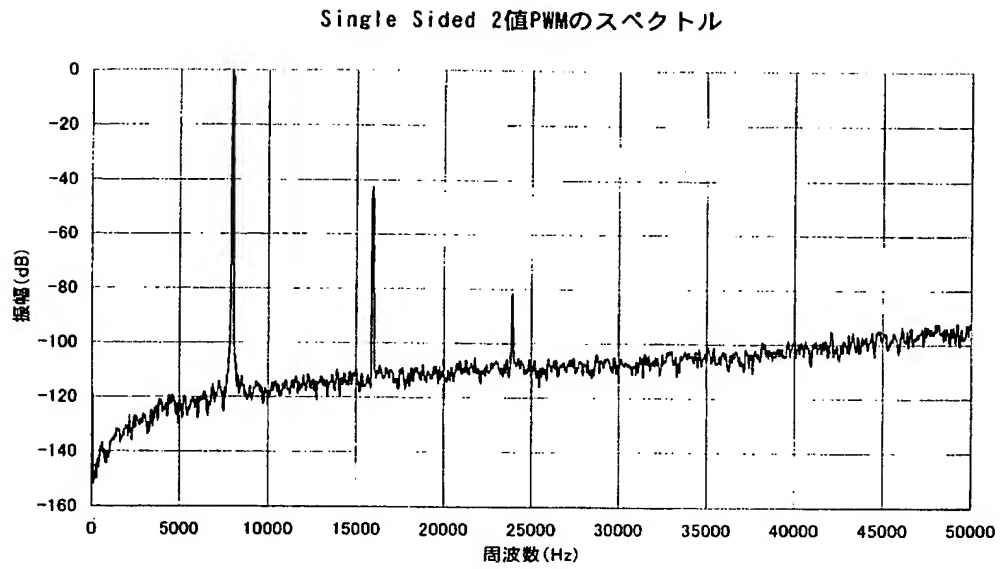




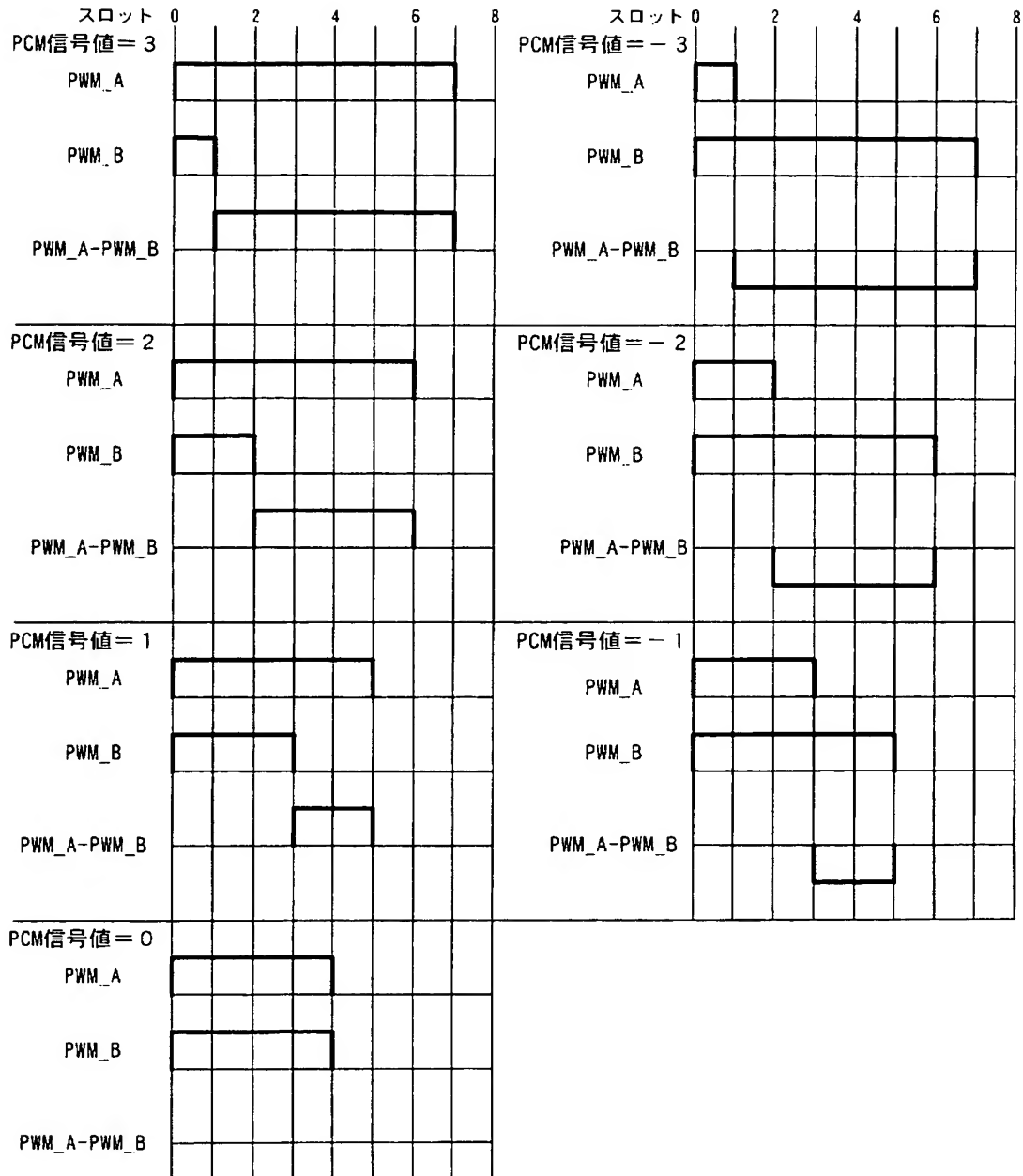
【図 6】



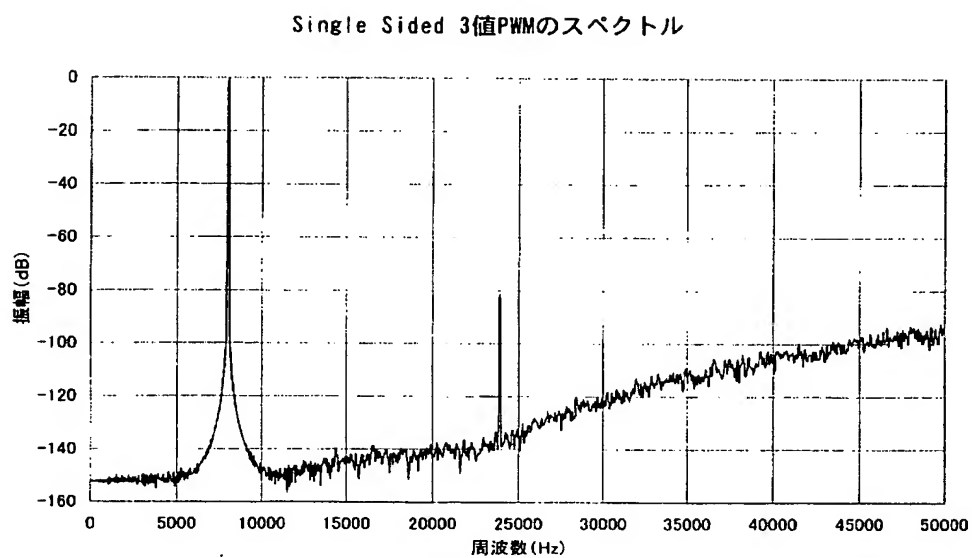
【図 7】



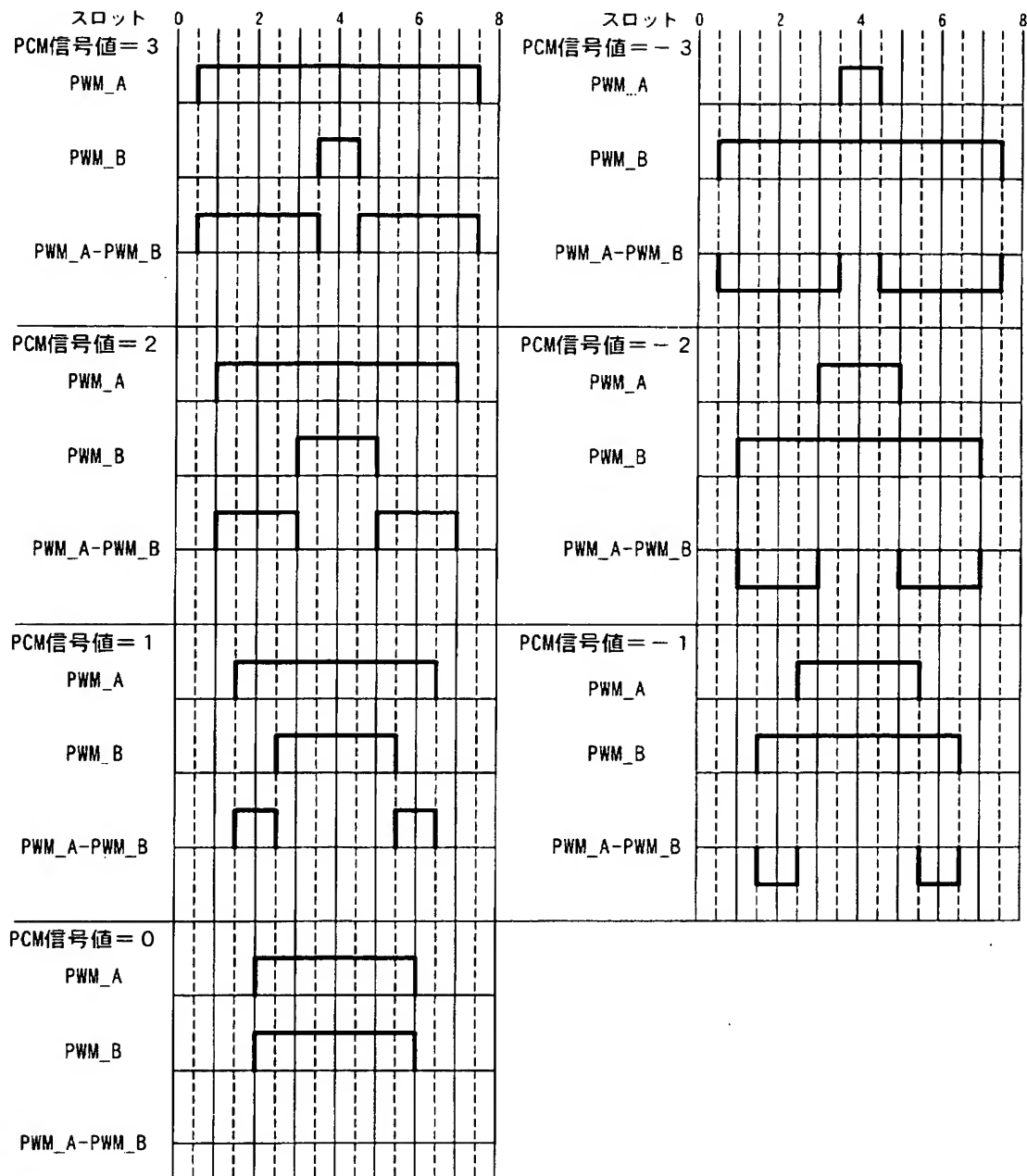
【図 8】



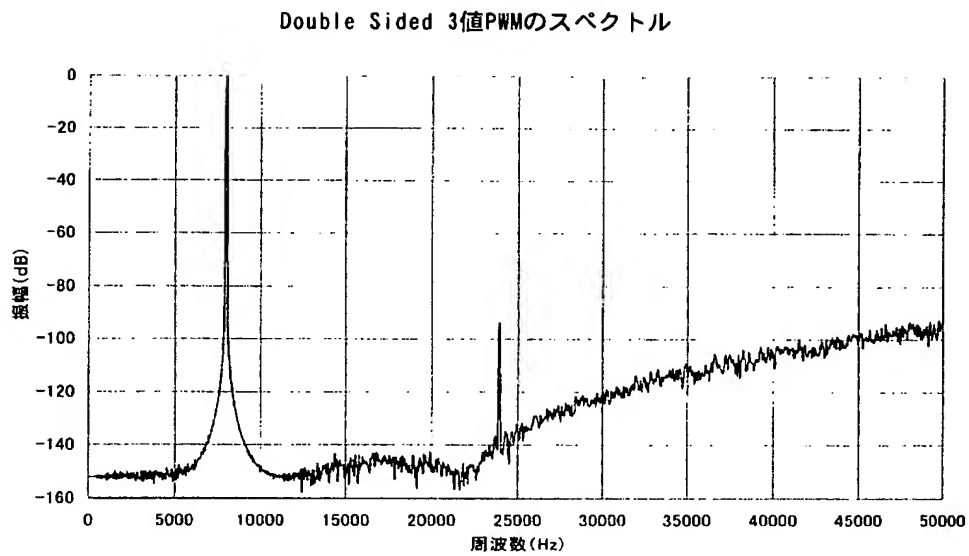
【図 9】



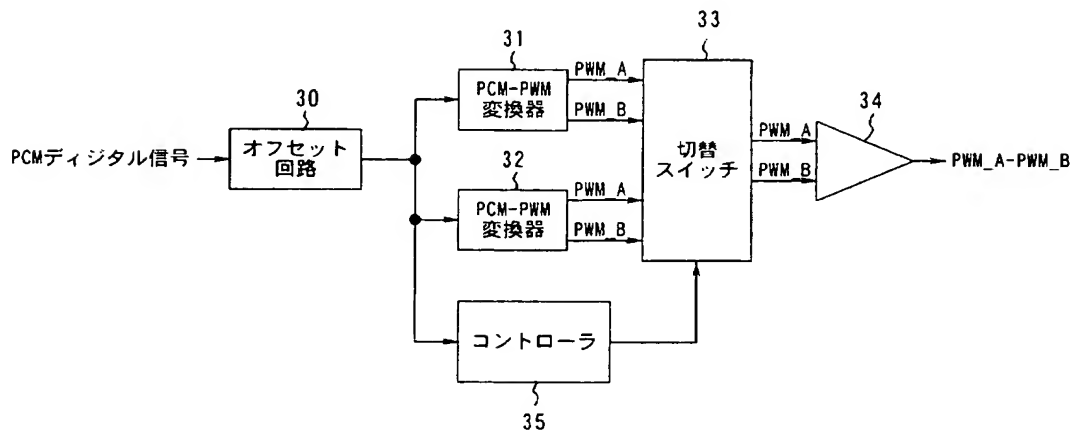
【図 10】



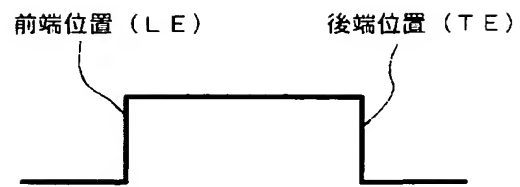
【図 11】



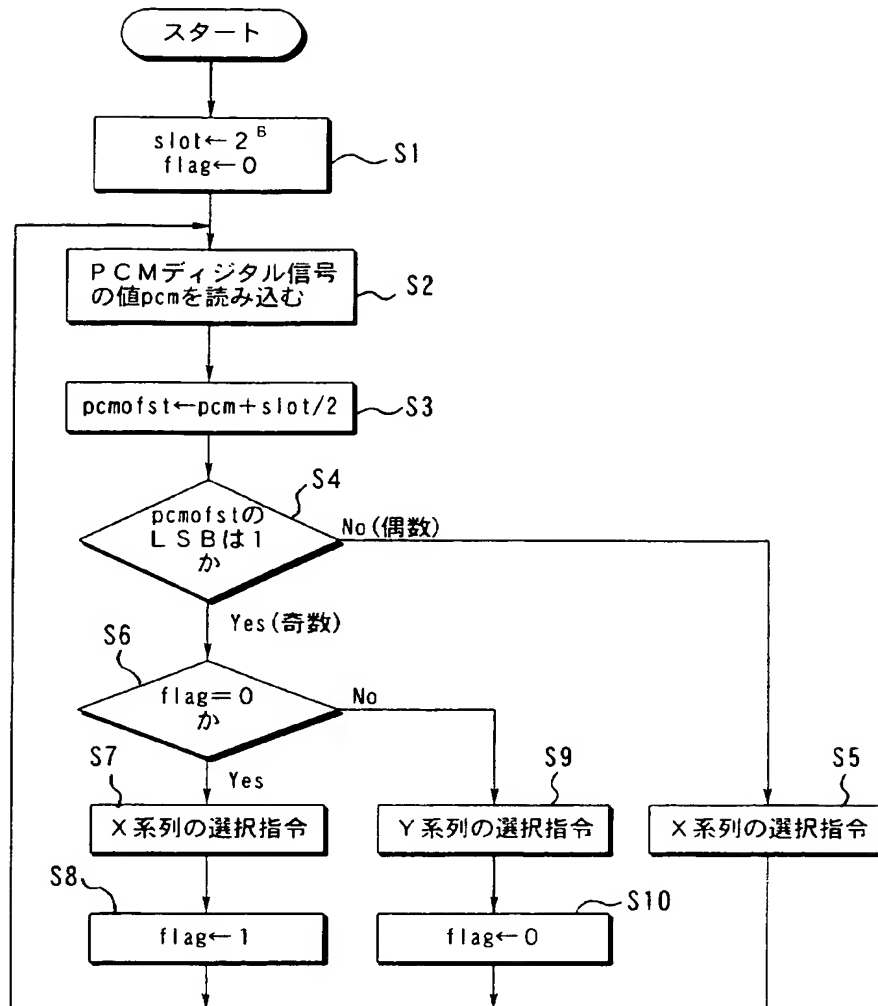
【図 12】



【図 13】

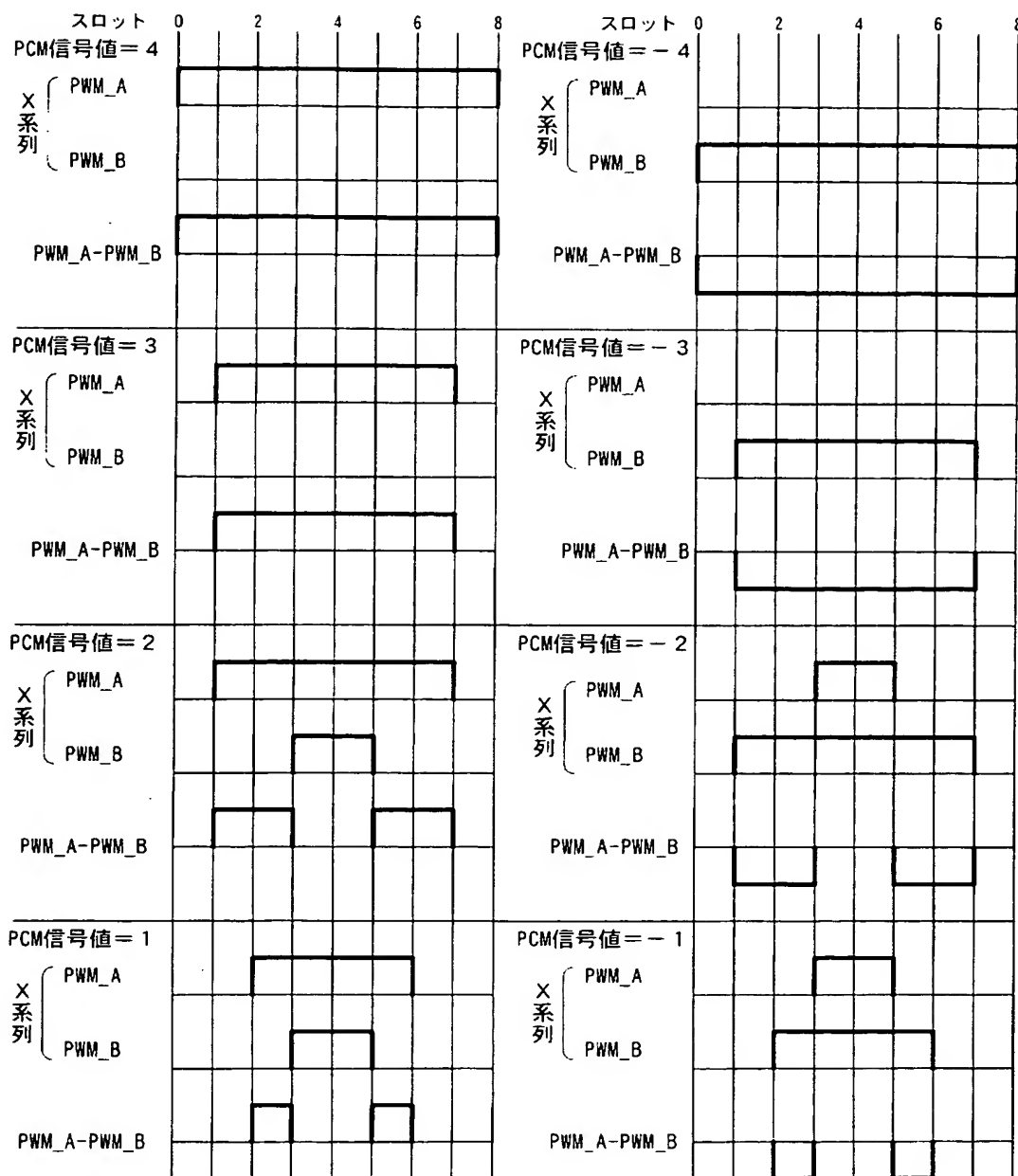


【図 14】

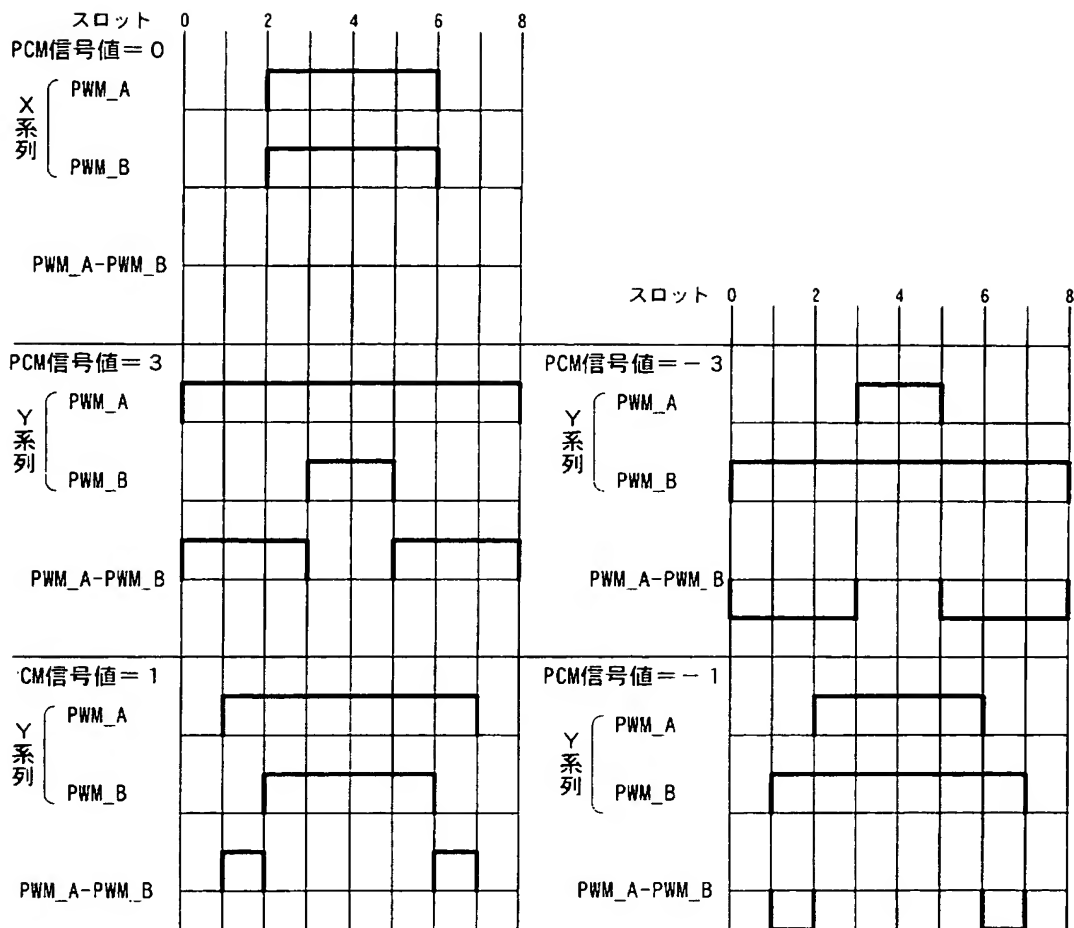




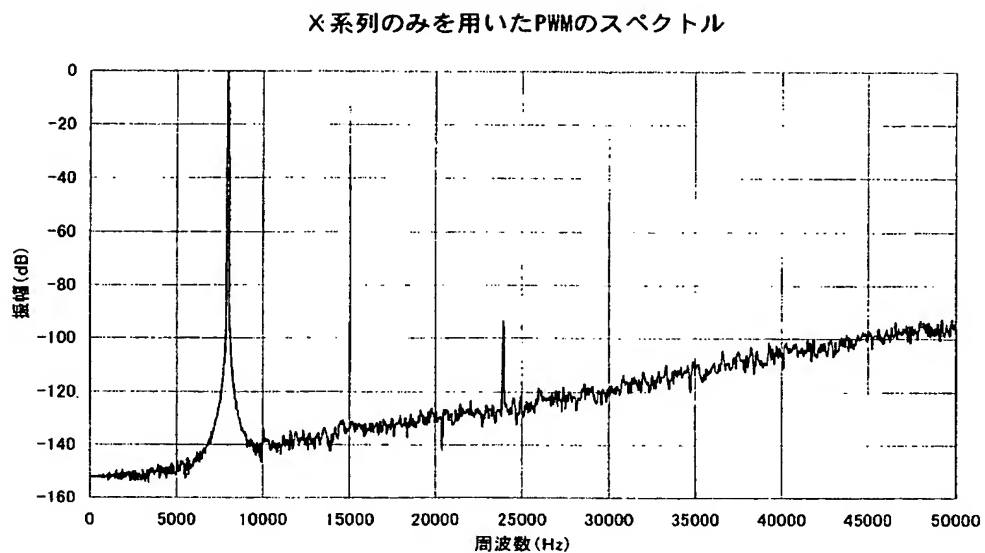
【図 15】



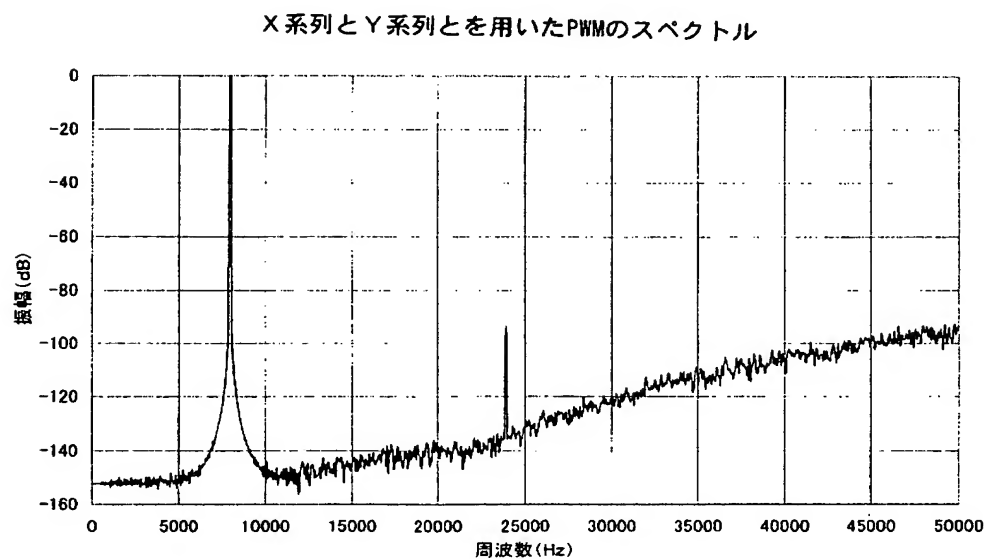
【図 16】



【図 17】



【図 18】



**【書類名】 要約書****【要約】**

**【課題】** クロック周波数を2倍にすることなく高調波歪み及びノイズフロアの双方を低減させることができるPWM信号発生器及び発生方法並びにデジタル・アナログ変換器及びデジタルアンプを提供する。

**【解決手段】** パルス符号変調のデジタル信号が示す値に対応したパルス幅又は合計パルス幅を有し所定長の半分の位置を中心にして対称な位置関係の1つ又は2つのパルスをパルス幅変調信号として発生するPWM信号発生器及び発生方法であり、デジタル信号が示す値に応じて第1パルスと第2パルスとを発生し、第1パルスと第2パルスとのパルス幅の差分を第1パルス幅変調信号として出力し、デジタル信号が示す値が0であるとき第1パルスと第2パルスのパルス幅は等しく、デジタル信号が示す値が1だけ変化すると第1及び第2パルスの一方のパルスのパルス幅は変化せず、第1及び第2パルスの他方のパルスのパルス幅が2スロットだけ変化する。

**【選択図】 図14**

特願 2 0 0 3 - 1 2 1 1 6 3

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 5 0 1 6 ]

1 . 変 更 年 月 日

1 9 9 0 年   8 月 3 1 日

[ 変 更 理 由 ]

新 規 登 録

住   所

東 京 都 目 黒 区 目 黒 1 丁 目 4 番 1 号

氏   名

パ イ オ ニ ア 株 式 会 社